

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:
Yutaka SAEKI

Application No.: To be assigned

Filed: January 30, 2004

For: **CURRENT-DRIVE CIRCUIT AND
APPARATUS FOR DISPLAY PANEL**

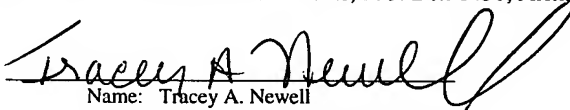
Art Unit: To be assigned

Examiner: To be assigned

Docket No.: NEM-05301

Certificate of Express Mailing

I hereby certify that the foregoing documents are being deposited with the United States Postal Service as Express Mail, in an envelope addressed to the Commissioner for Patents, P.O. Box 1450, Alexandria, VA, 22313-1450 on January 30, 2004.


Name: Tracey A. Newell
Express Mail Label No.: EV 325286571 US

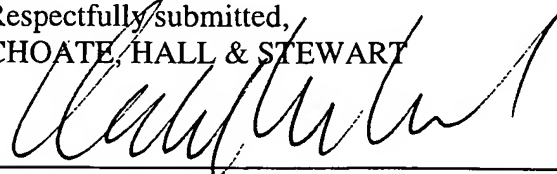
SUBMISSION OF PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Attached hereto is Japanese Application No. 2003-030091, filed February 6, 2003, a priority document for the above-referenced application. Should there be any questions after reviewing this submission, the Examiner is invited to contact the undersigned at 617-248-4038.

Respectfully submitted,
CHOATE, HALL & STEWART



Donald W. Muirhead
Reg. No. 33,978

January 30, 2004
Date

Patent Group
Choate, Hall & Stewart
Exchange Place
53, State Street
Boston, MA 02109-2804
(617) 248-5000

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 2月 6日
Date of Application:

出願番号 特願2003-030091
Application Number:

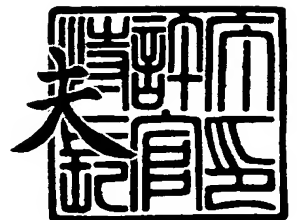
[ST. 10/C]: [JP 2003-030091]

出願人 NECエレクトロニクス株式会社
Applicant(s):

2003年12月11日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



出証番号 出証特2003-3103169

【書類名】 特許願

【整理番号】 73420014

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/30

【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地
N E C エレクトロニクス株式会社内

【氏名】 佐伯 穰

【特許出願人】

【識別番号】 302062931

【氏名又は名称】 N E C エレクトロニクス株式会社

【代理人】

【識別番号】 100109313

【弁理士】

【氏名又は名称】 机 昌彦

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100085268

【弁理士】

【氏名又は名称】 河合 信明

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100111637

【弁理士】

【氏名又は名称】 谷澤 靖久

【電話番号】 03-3454-1111

【手数料の表示】

【予納台帳番号】 191928

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0215753

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示パネルの電流駆動装置および電流駆動方法

【特許請求の範囲】

【請求項 1】 外付け基準電流源に接続され基準電圧を生成する分圧抵抗素子とその分圧抵抗素子の両端の差電圧を基に前記基準電流源を流れるレファレンス電流と等しい相対精度のとれた電流を生成し表示パネルの表示素子に供給する駆動電流生成手段とを内蔵した複数の電流駆動手段と、前記電流駆動手段それぞれの前記分圧抵抗素子および前記基準電流源が予め定める高電位電源および低電位電源間に 1 列のカスケード状態に接続されたカスケード接続体と、を備えることを特徴とする表示パネルの電流駆動装置。

【請求項 2】 前記カスケード接続体に接続される高電位電源および低電位電源が前記駆動電流生成手段の動作電源と同一の場合に、前記分圧抵抗素子に供給される電圧を前記駆動電流生成手段の動作電源よりも低電圧にすることで前記基準電流源を流れるレファレンス電流と等しい相対精度のとれた電流を前記駆動電流生成手段から取り出す手段として、前記カスケード接続体の高電位電源に最も近い端子と高電位電源との間に挿入接続される外付け抵抗手段を備える請求項 1 記載の表示パネルの電流駆動装置。

【請求項 3】 前記駆動電流生成手段は、前記カスケード接続体における前記分圧抵抗素子の高電位電源側の電圧を入力し低インピーダンスで出力するボルテージフォロワ手段の第 1 のオペアンプと、前記第 1 のオペアンプの出力電流を制限する電流制限用抵抗素子と、前記電流制限用抵抗素子の電流出力側の電圧と前記分圧抵抗素子の低電位電源側の電圧との電位差を比較し、その比較結果の電圧に応じて、前記電流制限用抵抗素子で制限された電流が負荷トランジスタを通過するのを制御して電流源に流す第 2 のオペアンプと、を備える請求項 1 記載の表示パネルの電流駆動装置。

【請求項 4】 前記駆動電流生成手段は、前記カスケード接続体における前記分圧抵抗素子の高電位電源側の電圧を入力し低インピーダンスで出力するボルテージフォロワ手段の第 1 のオペアンプと、前記第 1 のオペアンプの出力経路に介在する電流制限用抵抗素子と、前記電流制限用抵抗素子を介して受けた前記第

1 のオペアンプの出力電流の通過を制御する負荷トランジスタを有し、かつ前記分圧抵抗素子の低電位電源側の電圧と前記電流制限用抵抗素子の出力電圧との電位差を比較し、その比較結果の電圧に応じて導通を制御した電流を前記負荷トランジスタから電流源へ流す n (n は整数) 個の第 2 のオペアンプと、を備える請求項 1 記載の表示パネルの電流駆動装置。

【請求項 5】 前記駆動電流生成手段を、前記カスケード接続体を有する複数の前記電流駆動手段のうちの少なくとも 1 つが備える請求項 4 記載の表示パネルの電流駆動装置。

【請求項 6】 前記カスケード接続体に接続される高電位電源および低電位電源が前記駆動電流生成手段の動作電源と同一の場合に、前記カスケード接続体の高電位電源に最も近い端子と高電位電源との間に予め定める抵抗値を持つ外付け抵抗手段を挿入接続して、前記分圧抵抗素子に印加される電圧を前記第 1 および前記第 2 のオペアンプに供給される高電位電源よりも低電圧にして前記第 1 のオペアンプの入出力電圧を等しくする機能を有する請求項 3 記載の表示パネルの電流駆動装置。

【請求項 7】 前記カスケード接続体に接続される高電位電源および低電位電源が前記駆動電流生成手段の動作電源と同一の場合に、高電位電源に最も近い前記駆動電流生成手段の前記分圧抵抗素子に供給される電圧のみを高電位電源よりも低電圧にする手段として、前記電流駆動手段毎に内部の前記分圧抵抗素子の高電位電源側端子との間に挿入接続されて電圧を降下させる電圧調整手段を備える請求項 3 記載の表示パネルの電流駆動装置。

【請求項 8】 前記電圧調整手段は、高電位電源および低電位電源間にカスケード接続される第 1 の P チャネル型 MOS トランジスタおよび定電流源と、前記第 1 の P チャネル型 MOS トランジスタのゲートと降圧用電圧入力端子とにソースが共通接続されドレインが降圧電圧出力端子に共通接続されるとともに、ゲートに前記第 1 の P チャネル型 MOS トランジスタのドレインがインバータを介して接続される第 2 の P チャネル型 MOS トランジスタおよびゲートが高電位電源に接続される第 3 の P チャネル型 MOS トランジスタと、前記降圧用電圧入力端子および前記降圧電圧出力端子間に接続される降圧用抵抗素子とを備える請求

項7記載の表示パネルの電流駆動装置。

【請求項9】 前記第1のオペアンプの出力電流を基に、前記基準電流源の電流と相対精度のとれた電流を取り出す n (n は整数)個の電流源手段を有し、前記 n 個の電流源手段は、前記第1のオペアンプの出力電流を受ける n 個の電流制限用抵抗素子と、これら n 個の電流制限用抵抗素子それぞれを介して個別に受け取った前記第1のオペアンプの出力電流を前記負荷トランジスタを介して個別の定電流源に流す n 個の前記第2のオペアンプとを有する請求項3記載の表示パネルの電流駆動装置。

【請求項10】 前記第1のオペアンプの出力電流を受ける前記電流制限用抵抗素子および前記第2のオペアンプをそれぞれ n 個と、外部から導通が制御されるスイッチ手段とゲートが n 個の前記第2のオペアンプそれぞれの前記負荷トランジスタのゲートに接続されて電流量が制御される第1のMOSトランジスタとゲートが前記負荷トランジスタおよび前記定電流源の直列接続点に接続された第2のMOSトランジスタとが1つの電流出力端および低電位電源間にカスケード接続された電流値選択用のカスケード接続体を複数個ずつ n 個の前記第2のオペアンプ毎に有する請求項3記載の表示パネルの電流駆動装置。

【請求項11】 予め定めるビット数のデジタル信号のデコード結果に従って駆動電流を単調増加させて前記表示素子を駆動したとき、予め定めるビット階調の前記電流駆動手段に内蔵された n 個の前記電流制限用抵抗素子の抵抗値を適宜選択することにより前記表示素子の駆動電流を調整し所望のCRTガンマ特性に近似させる機能を有する請求項9記載の表示パネルの電流駆動装置。

【請求項12】 前記表示素子が3原色対応で、かつ前記表示素子毎の駆動電流およびガンマ特性がそれぞれ異なる状態の場合に、予め抵抗値を3原色に対応させた電流制限抵抗素子を3種類備え、これら3種類の電流制限用抵抗素子を3原色に対応して選択する切換手段を前記第1のオペアンプとの間に有する請求項3記載の表示パネルの電流駆動装置。

【請求項13】 前記切換手段は、前記駆動電流および前記ガンマ特性に応じて前記駆動電流量を選択するための第1および第2の3原色対応スイッチ手段を有し、前記第1の3原色対応スイッチ手段は、前記第1のオペアンプ出力端と

前記第2のオペアンプの負荷MOSトランジスタ間に原色毎のスイッチおよび電流制限抵抗素子がカスケード接続され、これら3原色毎のカスケード接続体が互いに並列状態に接続された構成を有する請求項12記載の表示パネルの電流駆動装置。

【請求項14】 外付け基準電流源に接続され基準電圧を生成する分圧抵抗素子とその分圧抵抗素子の両端の差電圧を基に前記基準電流源を流れるレファレンス電流と等しい相対精度のとれた電流を生成し表示パネルの表示素子に供給する駆動電流生成手段とを内蔵した単一の電流駆動手段を備え、前記単一の前記電流駆動手段を小型表示パネル用の実装する場合に、前記単一の電流駆動手段は、前記分圧抵抗素子の高電位電源側の電圧を入力し低インピーダンスで出力するボルテージフォロワ手段の第1のオペアンプと、前記第1のオペアンプの出力電流を受けるn個の電流制限用抵抗素子と、これらn個の電流制限用抵抗素子それぞれを介して個別に受け取った前記第1のオペアンプの出力電流を前記負荷トランジスタを介して個別の定電流源に流すn個の前記第2のオペアンプとを有することを特徴とする表示パネルの電流駆動装置。

【請求項15】 外付け基準電流源に接続され基準電圧を生成する分圧抵抗素子とその分圧抵抗素子の両端の差電圧を基に前記基準電流源を流れるレファレンス電流と等しい相対精度のとれた電流を生成し表示パネルの表示素子に供給する駆動電流生成手段とを内蔵した単一の電流駆動手段を備え、前記単一の前記電流駆動手段を小型表示パネル用の実装する場合に、前記単一の電流駆動手段は、前記分圧抵抗素子の高電位電源側の電圧を入力し低インピーダンスで出力するボルテージフォロワ手段の第1のオペアンプと、前記第1のオペアンプの出力電流を受けるn個の電流制限用抵抗素子と、これらn個の電流制限用抵抗素子それぞれを介して個別に受け取った前記第1のオペアンプの出力電流を個別の定電流源を介してそれぞれ対応する前記負荷トランジスタから低電位電源に流すn個の前記第2のオペアンプとを有することを特徴とする表示パネルの電流駆動装置。

【請求項16】 外付け基準電流源に接続され基準電圧を生成する分圧抵抗素子とその分圧抵抗素子の両端の差電圧を基に前記基準電流源を流れるレファレンス電流と等しい相対精度のとれた電流を生成し表示パネルの表示素子に供給す

る駆動電流生成手段とを内蔵した複数の電流駆動手段と、前記電流駆動手段それぞれの前記分圧抵抗素子および前記基準電流源が予め定める高電位電源および低電位電源間に 1 列のカスケード状態に接続されたカスケード接続体と、を備え、前記カスケード接続体に接続される高電位電源および低電位電源が前記駆動電流生成手段の動作電源と同一の場合に、前記電流駆動手段毎に内部の前記分圧抵抗素子の高電位電源側の端子との間に電圧を降下させるための電圧調整手段を挿入接続して、高電位電源に最も近い前記駆動電流生成手段の前記分圧抵抗素子に印加される電圧のみを高電位電源よりも低電圧とする電圧降下を生じさせることを特徴とする表示パネル用電流駆動装置の電流駆動方法。

【請求項 17】 外付け基準電流源に接続され基準電圧を生成する分圧抵抗素子とその分圧抵抗素子の両端の差電圧を基に前記基準電流源を流れるレファレンス電流と等しい相対精度のとれた電流を生成し表示パネルの表示素子に供給する駆動電流生成手段とを内蔵した複数の電流駆動手段と、前記電流駆動手段それぞれの前記分圧抵抗素子および前記基準電流源が予め定める高電位電源および低電位電源間に 1 列のカスケード状態に接続されたカスケード接続体と、を備え、前記カスケード接続体に接続される高電位電源および低電位電源が前記駆動電流生成手段の動作電源と同一の場合に、前記カスケード接続体の高電位電源に最も近い端子と高電位電源との間に予め定める抵抗値を持つ外付け抵抗手段を挿入接続して、前記分圧抵抗素子に印加される電圧を前記第 1 および前記第 2 のオペアンプに供給される高電位電源よりも低電圧にして前記第 1 のオペアンプの入出力電圧を等しくすることを特徴とする表示パネル用電流駆動装置の電流駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は表示パネルの電流駆動装置および電流駆動方法に係わり、特に表示装置上における表示素子の発光輝度の均一化を改善した表示パネルの電流駆動装置および電流駆動方法に関する。

【0002】

【従来の技術】

近年、半導体素子の微細化技術の進展に伴い、その半導体素子で構成するLSIも大規模化しており、例えば、液晶等の表示装置の分野では、データ線駆動用出力が、1画素あたり8ビットのデジタルデータを受け取り、256階調の液晶駆動出力電圧を発生し、1,677万色表示の液晶パネルを実現する駆動回路もある。

【0003】

すなわち、アナログの画像をデジタル化する際の濃度数を階調で示すのに8ビットまたは16ビットのビット数が用いられている。モノクロの画像の場合は、最小の階調としては画素の明るさを黒“0”か白“1”の1ビットの情報で表した2階調の表現となる。

【0004】

一方、カラーの場合は、周知のように赤色R、緑色G、青色Bからなる3原色の重ね合わせで実現する。例えば、赤R、緑G、青Bはそれぞれ256階調の情報であるのでこれらの情報を重ね合わせると、 $256 \times 256 \times 256 = 1,677$ 万色を表示することが可能ということになる。

【0005】

このような表示パネルの駆動回路に用いられる駆動手段は、その一例が特開2001-42827号公報に記載されている。同公報記載の従来の電流駆動手段の構成の概要で、複数の電流駆動ICを繋ぐ回路の構成を示した図13を参照すると、カレントミラーを定電流源に用いた複数の電流駆動IC (Integrated Circuit) 1~4と基準電流源とを、高電位電源および低電位電源間に挿入し、内蔵するカレントミラーをカスケードに繋いで、それぞれの電流駆動IC内に均一な電流を供給している。

【0006】

上述した電流駆動IC内のカレントミラーをMOSトランジスタで構成した場合、MOSトランジスタのVTばらつき等から電流駆動ICの数が多いほどチップ間の電流ばらつきは増加する(特許文献1参照)。

【0007】

一方、他の例が特開2002-244618号公報に記載されている。同公報

記載の駆動手段の構成を示した図 14 を参照すると、この駆動手段は、互いに異なるリファレンス電流源 I_1 , I_2 , \dots , I_n と、そのリファレンス電流源 I_1 , I_2 , \dots , I_n をそれぞれ受けるとともに、出力端が共通接続され制御信号 D_1 , D_2 , \dots , D_n で出力レベルが決定される複数のスイッチ手段 SW_1 , SW_2 , \dots , SW_n とを有し、リファレンス電流源 I_1 , I_2 , \dots , I_n を組み合わせて特定のレベルの電流を出力する電流出力部 22 と、スイッチ手段 SW_1 , SW_2 , \dots , SW_n から出力される特定レベルのリファレンス電流を受けてシンク電流のレベル調整をして各画素に接続されたデータラインに特定のシンク電流を送出するシンク電流調節部 23 とを備えた構成である。

【0008】

この例は一般的な電流駆動回路であり、例えば n ビット階調であれば $I_1 \sim I_n$ のバイナリーウェートの定電流を組み合わせることで特定レベルの電流を駆動している。

【0009】

しかし、バイナリーウェートの定電流の精度を高精度化して駆動電流を高階調化するのが難しいため、出力電流の単調増加性が悪くなる。また、この例ではデジタル信号に対して出力電流にガンマ補正をかけることができない（特許文献 2 参照。）。

【0010】

さらに他の従来例が特開 2001-350439 号公報に記載されている。この画像表示手段は、駆動電流の電流値と電流パルス幅の両方を調整することで、デジタル信号に対して駆動電流のガンマ補正 ($\gamma = 2.0$) をかけている。しかし、低階調時は電流パルス幅が小さいため駆動電流の高速応答が要求されるが、駆動電流が微小電流の場合、MOS トランジスタでは応答速度が低下する可能性がある（特許文献 3 参照。）。

【0011】

【特許文献 1】

特開 2001-42827 号公報（段落「0034」、「0035」

、図11)

【特許文献2】

特開2002-244618号公報（段落「0037」、図13）

【特許文献3】

特開2001-350439号公報（段落「0092」、図9）

【0012】

【発明が解決しようとする課題】

上述したように従来の表示パネルの駆動手段は、特許文献1の場合、複数の電流駆動IC1～IC4をカレントミラーで繋いで、それぞれの電流駆動IC内に均一な電流を供給しているが、カレントミラーをMOSトランジスタで構成した場合、MOSトランジスタのVTばらつき等から電流駆動ICの数が多いほどチップ間の電流ばらつきは増加する欠点がある。

【0013】

また、特許文献2の場合、nビット階調であればI1～Inのバイナリーウェートの定電流を組み合わせることで特定レベルの電流レベルの電流を高階調化するのが難しいため、出力電流の単調増加性が悪化する。またデジタル信号に対して出力電流に γ 補正をかけることが出来ない欠点がある。

【0014】

さらに、特許文献3の場合、駆動電流の電流値と電流パルス幅の両方を調整することで、デジタル信号に対して駆動電流の γ 補正をかけているが、駆動電流が微少電流の場合、MOSトランジスタでは応答速度が低下する欠点がある。

【0015】

本発明の目的は、上述した従来の欠点に鑑みなされたものであり、表示パネルの複数の電流駆動IC内に、基準電流源を基準とした均一な電流を取り込み、電流駆動ICから高精度な駆動電流を表示パネルへ出力することが出来、かつ駆動電流に γ 補正をかけることが出来る駆動電流装置および電流駆動装置を提供することにある。

【0016】

【課題を解決するための手段】

本発明の表示パネルの電流駆動装置は、外付け基準電流源に接続され基準電圧を生成する分圧抵抗素子とその分圧抵抗素子の両端の差電圧を基に前記基準電流源を流れるレファレンス電流と等しい相対精度のとれた電流を生成し表示パネルの表示素子に供給する駆動電流生成手段とを内蔵した複数の電流駆動手段と、前記電流駆動手段それぞれの前記分圧抵抗素子および前記基準電流源が予め定める高電位電源および低電位電源間に1列のカスケード状態に接続されたカスケード接続体と、を備えることを特徴とする。

【0017】

また、前記カスケード接続体に接続される高電位電源および低電位電源が前記駆動電流生成手段の動作電源と同一の場合に、前記分圧抵抗素子に供給される電圧を前記駆動電流生成手段の動作電源よりも低電圧にすることで前記基準電流源を流れるレファレンス電流と等しい相対精度のとれた電流を前記駆動電流生成手段から取り出す手段として、前記カスケード接続体の高電位電源に最も近い端子と高電位電源との間に挿入接続される外付け抵抗手段を備えることができる。

【0018】

さらに、前記駆動電流生成手段は、前記カスケード接続体における前記分圧抵抗素子の高電位電源側の電圧を入力し低インピーダンスで出力するボルテージフォロワ手段の第1のオペアンプと、前記第1のオペアンプの出力電流を制限する電流制限用抵抗素子と、前記電流制限用抵抗素子の電流出力側の電圧と前記分圧抵抗素子の低電位電源側の電圧との電位差を比較し、その比較結果の電圧に応じて、前記電流制限用抵抗素子で制限された電流が負荷トランジスタを通過するのを制御して電流源に流す第2のオペアンプと、を備える。

【0019】

さらにまた、前記駆動電流生成手段は、前記カスケード接続体における前記分圧抵抗素子の高電位電源側の電圧を入力し低インピーダンスで出力するボルテージフォロワ手段の第1のオペアンプと、前記第1のオペアンプの出力経路に介在する電流制限用抵抗素子と、前記電流制限用抵抗素子を介して受けた前記第1のオペアンプの出力電流の通過を制御する負荷トランジスタを有し、かつ前記分圧抵抗素子の低電位電源側の電圧と前記電流制限用抵抗素子の出力電圧との電位差

を比較し、その比較結果の電圧に応じて導通を制御した電流を前記負荷トランジスタから電流源へ流す n (n は整数) 個の第2のオペアンプと、を備える。

【0020】

また、前記駆動電流生成手段を、前記カスケード接続体を有する複数の前記電流駆動手段のうちの少なくとも1つが備える。

【0021】

さらに、前記カスケード接続体に接続される高電位電源および低電位電源が前記駆動電流生成手段の動作電源と同一の場合に、前記カスケード接続体の高電位電源に最も近い端子と高電位電源との間に予め定める抵抗値を持つ外付け抵抗手段を挿入接続して、前記分圧抵抗素子に印加される電圧を前記第1および前記第2のオペアンプに供給される高電位電源よりも低電圧にして前記第1のオペアンプの入出力電圧を等しくする機能を有する。

【0022】

さらにまた、前記カスケード接続体に接続される高電位電源および低電位電源が前記駆動電流生成手段の動作電源と同一の場合に、高電位電源に最も近い前記駆動電流生成手段の前記分圧抵抗素子に供給される電圧のみを高電位電源よりも低電圧にする手段として、前記電流駆動手段毎に内部の前記分圧抵抗素子の高電位電源側端子との間に挿入接続されて電圧を降下させる電圧調整手段を備える。

【0023】

また、前記電圧調整手段は、高電位電源および低電位電源間にカスケード接続される第1のPチャネル型MOSトランジスタおよび定電流源と、前記第1のPチャネル型MOSトランジスタのゲートと降圧用電圧入力端子とにソースが共通接続されドレインが降圧電圧出力端子に共通接続されるとともに、ゲートに前記第1のPチャネル型MOSトランジスタのドレインがインバータを介して接続される第2のPチャネル型MOSトランジスタおよびゲートが高電位電源に接続される第3のPチャネル型MOSトランジスタと、前記降圧用電圧入力端子および前記降圧電圧出力端子間に接続される降圧用抵抗素子とを備える。

【0024】

また、前記第1のオペアンプの出力電流を基に、前記基準電流源の電流と相対

精度のとれた電流を取り出す n (n は整数) 個の電流源手段を有し、前記 n 個の電流源手段は、前記第 1 のオペアンプの出力電流を受ける n 個の電流制限用抵抗素子と、これら n 個の電流制限用抵抗素子それぞれを介して個別に受け取った前記第 1 のオペアンプの出力電流を前記負荷トランジスタを介して個別の定電流源に流す n 個の前記第 2 のオペアンプとを有する。

【0025】

さらにまた、前記第 1 のオペアンプの出力電流を受ける前記電流制限用抵抗素子および前記第 2 のオペアンプをそれぞれ n 個と、外部から導通が制御されるスイッチ手段とゲートが n 個の前記第 2 のオペアンプそれぞれの前記負荷トランジスタのゲートに接続されて電流量が制御される第 1 の MOS トランジスタとゲートが前記負荷トランジスタおよび前記定電流源の直列接続点に接続された第 2 の MOS トランジスタとが 1 つの電流出力端および低電位電源間にカスケード接続された電流値選択用のカスケード接続体を複数個ずつ n 個の前記第 2 のオペアンプ毎に有する。

【0026】

また、予め定めるビット数のデジタル信号のデコード結果に従って駆動電流を単調増加させて前記表示素子を駆動したとき、予め定めるビット階調の前記電流駆動手段に内蔵された n 個の前記電流制限用抵抗素子の抵抗値を適宜選択することにより前記表示素子の駆動電流を調整し所望の CRT ガンマ特性に近似させる機能を有する。

【0027】

さらに、前記表示素子が 3 原色対応で、かつ前記表示素子毎の駆動電流およびガンマ特性がそれぞれ異なる状態の場合に、予め抵抗値を 3 原色に対応させた電流制限抵抗素子を 3 種類備え、これら 3 種類の電流制限用抵抗素子を 3 原色に対応して選択する切換手段を前記第 1 のオペアンプとの間に有する。

【0028】

さらにまた、前記切換手段は、前記駆動電流および前記ガンマ特性に応じて前記駆動電流量を選択するための第 1 および第 2 の 3 原色対応スイッチ手段を有し、前記第 1 の 3 原色対応スイッチ手段は、前記第 1 のオペアンプ出力端と前記第

2 のオペアンプの負荷 MOS トランジスタ間に原色毎のスイッチおよび電流制限抵抗素子がカスケード接続され、これら 3 原色毎のカスケード接続体が互いに並列状態に接続された構成を有する。

【0029】

本発明の表示パネルの電流駆動装置の他の特徴は、外付け基準電流源に接続され基準電圧を生成する分圧抵抗素子とその分圧抵抗素子の両端の差電圧を基に前記基準電流源を流れるレファレンス電流と等しい相対精度のとれた電流を生成し表示パネルの表示素子に供給する駆動電流生成手段とを内蔵した単一の電流駆動手段を備え、前記単一の前記電流駆動手段を小型表示パネル用に実装する場合に、前記単一の電流駆動手段は、前記分圧抵抗素子の高電位電源側の電圧を入力し低インピーダンスで出力するボルテージフォロワ手段の第 1 のオペアンプと、前記第 1 のオペアンプの出力電流を受ける n 個の電流制限用抵抗素子と、これら n 個の電流制限用抵抗素子それぞれを介して個別に受け取った前記第 1 のオペアンプの出力電流を前記負荷トランジスタを介して個別の定電流源に流す n 個の前記第 2 のオペアンプとを有することにある。

【0030】

本発明の表示パネルの電流駆動装置のまた他の特徴は、外付け基準電流源に接続され基準電圧を生成する分圧抵抗素子とその分圧抵抗素子の両端の差電圧を基に前記基準電流源を流れるレファレンス電流と等しい相対精度のとれた電流を生成し表示パネルの表示素子に供給する駆動電流生成手段とを内蔵した単一の電流駆動手段を備え、前記単一の前記電流駆動手段を小型表示パネル用に実装する場合に、前記単一の電流駆動手段は、前記分圧抵抗素子の高電位電源側の電圧を入力し低インピーダンスで出力するボルテージフォロワ手段の第 1 のオペアンプと、前記第 1 のオペアンプの出力電流を受ける n 個の電流制限用抵抗素子と、これら n 個の電流制限用抵抗素子それぞれを介して個別に受け取った前記第 1 のオペアンプの出力電流を個別の定電流源を介してそれぞれ対応する前記負荷トランジスタから低電位電源に流す n 個の前記第 2 のオペアンプとを有することにある。

【0031】

本発明の表示パネル用電流駆動装置の電流駆動方法は、外付け基準電流源に接

続され基準電圧を生成する分圧抵抗素子とその分圧抵抗素子の両端の差電圧を基に前記基準電流源を流れるレファレンス電流と等しい相対精度のとれた電流を生成し表示パネルの表示素子に供給する駆動電流生成手段とを内蔵した複数の表示素子の電流駆動手段と、前記電流駆動手段それぞれの前記分圧抵抗素子および前記基準電流源が予め定める高電位電源および低電位電源間に 1 列のカスケード状態に接続されたカスケード接続体と、を備え、

前記カスケード接続体に接続される高電位電源および低電位電源が前記駆動電流生成手段の動作電源と同一の場合に、前記電流駆動手段毎に内部の前記分圧抵抗素子の高電位電源側の端子との間に電圧を降下させるための電圧調整手段を挿入接続して、高電位電源に最も近い前記駆動電流生成手段の前記分圧抵抗素子に印加される電圧のみを高電位電源よりも低電圧とする電圧降下を生じさせることを特徴とする。

【0032】

本発明の表示パネル用電流駆動装置の電流駆動方法の他の特徴は、外付け基準電流源に接続され基準電圧を生成する分圧抵抗素子とその分圧抵抗素子の両端の差電圧を基に前記基準電流源を流れるレファレンス電流と等しい相対精度のとれた電流を生成し表示パネルの表示素子に供給する駆動電流生成手段とを内蔵した複数の電流駆動手段と、前記電流駆動手段それぞれの前記分圧抵抗素子および前記基準電流源が予め定める高電位電源および低電位電源間に 1 列のカスケード状態に接続されたカスケード接続体と、を備え、前記カスケード接続体に接続される高電位電源および低電位電源が前記駆動電流生成手段の動作電源と同一の場合に、前記カスケード接続体の高電位電源に最も近い端子と高電位電源との間に予め定める抵抗値を持つ外付け抵抗手段を挿入接続して、前記分圧抵抗素子に印加される電圧を前記第 1 および前記第 2 のオペアンプに供給される高電位電源よりも低電圧にして前記第 1 のオペアンプの入出力電圧を等しくすることにある。

【0033】

【発明の実施の形態】

まず、本発明の概要を述べると、後述する本発明の電流駆動装置（IC）表示パネルとの関係を示した図 1 のように、本発明による電流駆動装置 IC1～IC

4 は、1つの外付け基準電流源 5 と、その外付け基準電流源 5 に流す基準電流 I_{REF} による電圧降下 V_R を生じさせて表示装置上における表示素子の発光輝度を均一化するために、電流駆動装置 $IC1 \sim IC4$ 内の 2 端子 101、102 間に設ける分圧抵抗素子 R_r とを有し、複数の電流駆動装置 $IC1 \sim IC4$ 内それぞれの分圧抵抗素子 R_r と 1つの外付け基準電流源 5 とがカスケード接続となるように構成したものである。

【0034】

図示しないが、表示パネルの周辺には、例えば液晶表示パネルであれば、液晶パネルを駆動するための駆動装置として、駆動信号をライン毎に出力してソース線を駆動するためのソースドライバと、複数のソース線を時分割で駆動するためにゲート線を駆動するゲートドライバとが配置されている。

【0035】

本発明の電流駆動装置は、複数の電流駆動 $IC1 \sim IC4$ に含まれている分圧抵抗素子 R_r と外付けした基準電流源 5 とをカスケード接続し、基準電流（リファレンス） I_{REF} が各抵抗素子 R_r に流れることによって生ずるそれぞれの電圧降下 V_R を利用して、各電流駆動 $IC1 \sim IC4$ 内に基準電流源 5 を基準とした均一な電流を取り込むことができるものである。

【0036】

また、この回路を利用することで、電流駆動 $IC1 \sim IC4$ から高精度な駆動電流を表示パネル 6 へ出力することができ、かつ駆動電流にガンマ補正をかけることができるものである。

【0037】

まず、本発明の第 1 の実施の形態を図面を参照しながら説明する。

【0038】

第 1 の実施の形態における電流駆動 IC の構成を示した図 2 を参照すると、本発明の電流駆動装置は、電流駆動 $IC1 \sim IC4$ と基準電流源 5 が高電位電源 V_{DD} および低電位電源 GND 間にカスケードに接続されている。従って、それぞれに内蔵した分圧抵抗素子 R_r 、基準電流源 5 もカスケード接続となり、電流駆動 $IC1 \sim IC4$ の分圧抵抗素子 R_r に高電位電源 V_{DD} から基準電流 I_{REF}

を流している。

【0039】

電流駆動 IC 内の構成を示した図 3 を参照すると、端子 101 および 102 間に接続され高電位電源 VDD を分圧する分圧抵抗素子 R_r と、この分圧抵抗素子 R_r の高電位電源側の電圧 V₁ を非反転入力端子 (+) に入力し、その電圧 V₁ と等しい電圧を電圧 V₃ として低インピーダンスで出力するボルテージフォロワ手段のオペアンプ OP1__11 を備える。

【0040】

また、電流駆動装置 8 は、オペアンプ OP1__11 からの出力電流 I を負荷トランジスタ 13 に流す電流制限用抵抗素子 R と、分圧抵抗素子 R_r の低電位電源 GND 側の電圧 V₂ を反転入力端子 (-) に入力し、その電圧とオペアンプ OP1__11 の出力電圧 V₃ を電流制限用抵抗素子 R で降圧させた電圧 V₄ との電位差を比較し、その結果に応じて電流 I が負荷トランジスタ 13 を通過するのを制御して電流源 14 に流すオペアンプ OP2__12 とを備える。

【0041】

ここで、抵抗素子 R に流れる電流を I とすると、オペアンプ OP1__11 の非反転入力端子 (+) の V₁ と反転入力端子 (-) の V₃ と、オペアンプ OP2__12 の反転入力端子 (-) の V₂ と非反転入力端子 (+) の V₄ とは、それぞれイマジナリーショートによって等しくなる。

【0042】

よって、V₁ = V₃、V₂ = V₄ となり、抵抗素子 R と抵抗素子 R_r の両端にかかる電圧が等しくなるので、

$$I = I_{REF} \times (R_r / R) \cdots (1)$$

となる。式 (1) より、電流駆動 IC1 ~ IC4 に基準電流 I_{REF} を基準とした電流 I を取り出すことができる。

【0043】

さらに詳述すると、図 3 において、抵抗素子 R および抵抗素子 R_r における抵抗素子の相対ばらつき ΔR と、オペアンプ OP1__11 およびオペアンプ OP2__12 のオフセット電圧 ΔV_{os} とをそれぞれ考慮すると、電流 I の基準電流 I

REFに対する電流ばらつき ΔI は、

【0044】

【数1】

$$\Delta I = \sqrt{\left(\frac{\Delta R \times I}{R}\right)^2 + 2 \times \left(\frac{\Delta V_{os}}{V_r} \times I\right)^2}$$

【0045】

・・・(2)

となる。ここでは $R=R_r$ つまり $I=I_{REF}$ としている。

【0046】

$I=10\mu A$ 、 $R=200k\Omega$ 、 $\Delta R=1k\Omega$ 、 $\Delta V_{os}=5mV$ とすると、
 $\Delta I=0.06\mu A$ と電流ばらつきは0.6%となる。

【0047】

しかし、基準電流 I_{REF} に対する電流ばらつきは、どの電流駆動 I_C でも同じなので、電流駆動 $I_{C1} \sim I_{C4}$ の電流 I および基準電流 I_{REF} の電流ばらつきを同程度にすることができる。

【0048】

一方、従来の技術で述べた特開2001-42827号公報の図11では、複数の電流駆動 I_C をカレントミラーで繋いでいるため（カレントミラー比は1：1である）、基準電流 I_{REF} から最も離れている電流駆動 I_{C4} の電流ばらつき ΔI_4 が一番大きい。

【0049】

つまり、 $\Delta I_1 < \Delta I_2 < \Delta I_3 < \Delta I_4$ となり、電流駆動 I_C の数が多いほど電流ばらつきは大きくなる。

【0050】

また、図3において、オペアンプOP1__11、オペアンプOP2__12に周知のオフセットキャンセル回路を加えれば、式(2)に示す $\Delta V_{OS} \doteq 0V$ となるため、電流ばらつき ΔI をさらに低減することができる。

【0051】

さらに、式(2)から、オペアンプOP1__11、オペアンプOP2__12に

オフセットキャンセル回路を追加することで、図3における電圧降下 V_r が電流ばらつき ΔI へ影響しなくなるため、抵抗素子 R_r を小さくし電圧降下 V_r を小さくすることができる。

【0052】

つまり、図3におけるオペアンプOP1__11、オペアンプOP2__12にオフセットキャンセル回路を加えることで、抵抗素子 R_r での電圧降下 V_r が小さくでき、より多くの電流駆動 I_C をカスケード接続することができる。

【0053】

次に、上述した第1の実施の形態において、図2における電流駆動 $I_{C1} \sim I_{C4}$ 内のオペアンプOP1__11、オペアンプOP2__12の動作電源を高電位電源 V_{DD} とし、図3における電流駆動 I_C を図2の電流駆動 I_{C4} に適用するものとする。この場合、図3における V_1 電圧は高電位電源 V_{DD} となる。

【0054】

図3におけるオペアンプOP1__11の動作電源は高電位電源 V_{DD} であるから、オペアンプOP1__11の出力端子 V_3 から抵抗素子 $R (=R_r)$ に電流を供給するときに V_3 電圧は $V_1 = V_{DD} > V_3$ となり、 $I = I_{REF}$ とはならない。ただし、オペアンプOP1__11によっては $V_1 \doteq V_3$ となる場合もあるが、その場合のオペアンプOP1__11の消費電流は大きい。

【0055】

しかし、図2におけるA部に抵抗素子を接続する。ここでは例えば500mVの電圧降下が得られればよいので、流れる電流値にもよるが、50k $\Omega \sim$ 100k Ω 程度の抵抗値をもつ抵抗素子を直列接続することで $V_1 < V_{DD}$ となり、図3において $V_1 = V_3$ 、すなわち $I = I_{REF}$ となる。

【0056】

よって、図2における電流駆動 $I_{C1} \sim I_{C4}$ 内のオペアンプOP1__11の電源が高電位電源 V_{DD} であっても、図2のA部に適当な値の抵抗素子を直列に接続することで、オペアンプOP1__11が正常に動作し、電流駆動 $I_{C1} \sim I_{C4}$ 内に電流 $I = I_{REF}$ を供給することができる。

【0057】

次に、第2の実施の形態を図面を参照しながら説明する。

【0058】

上述した第1の実施の形態において図2のA部に外付け抵抗素子を付けない場合、電流駆動IC1～IC4のB部に電圧降下調整回路7を搭載する必要がある。その電圧降下調整回路7の構成を示した図4を参照すると、高電位電源VDDおよび低電位電源GND間にカスケード接続される第1のPチャネル型MOSトランジスタ71および定電流源72と、Pチャネル型MOSトランジスタ71のゲートと降圧用電圧入力端子VINとにソースが共通接続され、ドレインが降圧電圧出力端子VOUTに共通接続されるとともに、ゲートにPチャネル型MOSトランジスタ71のドレインがインバータ73を介して接続される第2のPチャネル型MOSトランジスタ74およびゲートが高電位電源VDDに接続される第3のPチャネル型MOSトランジスタ75と、降圧用電圧入力端子VINおよび降圧電圧出力端子VOUT間に接続される降圧用抵抗素子RVとを備える。

【0059】

次にこの電圧降下調整回路7の動作を説明する。

【0060】

VIN端子の電圧=VDD (=10V)、VOUT端子の電圧=VDD-2Vと仮定すると、カスケード接続された電流駆動IC1～IC4のうち、電流駆動IC4の位置の場合は、Nチャネル型MOSトランジスタ75はオン(導通)せず、Pチャネル型MOSトランジスタ71もオンしないため、Pチャネル型MOSトランジスタ73の入力端子は論理レベルのロウレルL(0V)になり、Pチャネル型MOSトランジスタ74のゲートはハイレベルH(VDD)になるので、Pチャネル型MOSトランジスタ74もオンしない。

【0061】

つまり、電流駆動IC4ではどのMOSトランジスタもオンしないので電流は抵抗素子RVを通り、VIN端子-VOUT端子間にRV×Iの電圧降下が生じる。

【0062】

電流駆動IC3になると、VIN端子の電圧=VDD-2V、VOUT端子の

電圧 $=V_{DD}-4\text{ V}$ となるのでPチャネル型MOSトランジスタ71がオンし、Pチャネル型MOSトランジスタ74もオンONするので、Pチャネル型MOSトランジスタ74のオン抵抗を小さくすれば電流はPチャネル型MOSトランジスタ74を通るため、 V_{IN} 端子- V_{OUT} 端子間に電圧降下は生じない。

【0063】

ここではNチャネル型MOSトランジスタ75は弱オンである。電流駆動IC2 \rightarrow IC1になると、 V_{IN} 端子の電圧 $=V_{DD}-6\text{ V}$ 、 V_{OUT} 端子の電圧 $=V_{DD}-8\text{ V}$ となるため、Pチャネル型MOSトランジスタ71、Nチャネル型MOSトランジスタ75はフルにオン状態になる。

【0064】

Pチャネル型MOSトランジスタ74もONするが、 V_{IN} 端子の電圧が低くなっているため弱オン状態となる。つまり、この場合Nチャネル型MOSトランジスタ75を主に電流Iが通過することになり、電流駆動IC3と同様に、電圧降下は生じない。

【0065】

ここで図4の電圧降下調整回路7の V_{IN} 電圧と $V_{IN}-V_{OUT}$ 間電圧の関係の電圧特性図を示した図5(a)と、測定のために0V \sim 10Vの電源電圧を印加する電圧降下調整回路7および電流源を示した図5(b)を参照すると、図2のB部に図4に示した電圧降下調整回路7を直列に接続することによって、高電位電源 V_{DD} 端子に最も近い電流駆動IC4のB部のみに電圧降下を生じさせることが出来ることを示してある。

【0066】

すなわち、図5(a)に示す波形は、図2の回路において高電位電源 $V_{DD}=10\text{ V}$ 、電流駆動IC1 \sim IC4の抵抗素子 R_r における電圧降下 $V_r=2\text{ V}$ のとき、図4の電圧降下調整回路7が図2の電流駆動IC4においてのみ電圧降下 V_r が起こり、電流駆動IC1 \sim 3では電圧降下はほぼ0Vであることを示している。従って、図2における電流駆動IC1 \sim IC4内に電流 $I=I_{REF}$ を供給することができる。

【0067】

次に、第3の実施の形態を説明する。

【0068】

第3の実施の形態における電流駆動IC内の複数の電流源の構成を示した図6を参照すると、この電流駆動装置8は、端子101および102間に接続され高電位電源VDDを分圧する分圧抵抗素子 R_r と、この分圧抵抗素子 R_r の高電位電源側の電圧 V_1 を非反転入力端子(+)に入力し、電圧 V_1 と等電圧を電圧 V_3 として低インピーダンスで出力するボルテージフォロワ手段のオペアンプOP1__11を備える。

【0069】

また、電流駆動装置8は、オペアンプOP__11からの出力電流 $I_1 \sim I_8$ をそれぞれ負荷トランジスタ131~138に流す電流制限用抵抗素子 $R_1 \sim R_8$ と、分圧抵抗素子 R_r の低電位電源GND側の電圧 V_2 を反転入力端子(-)に入力し、その電圧とオペアンプOP1__11の出力電圧 V_3 を電流制限用抵抗素子 $R_1 \sim R_8$ でそれぞれ高圧させた電圧 V_4 との電位差を比較し、その比較結果の出力電圧に応じて電流 $I_1 \sim I_8$ が負荷トランジスタ131~138を通過するのを制御してそれぞれ対応する電流源141~148に流すオペアンプOP2__12~OP9__19とを備える。

【0070】

すなわち、前述した第2の実施の形態において、図3に示した電流駆動IC内の回路を電流駆動ICチップ内に複数設け、 $R_1 \sim R_8$ の値を調整することで、 $R_1 \sim R_8$ に流れる電流 $I_1 \sim I_8$ を調整することができるため、電流駆動IC内に複数の電流源をつくることができる。

【0071】

この第3の実施の形態においても、図2におけるA部に前述したように50k $\Omega \sim 100$ k Ω 程度の抵抗値をもつ抵抗素子を直列接続することで $V_1 < VDD$ となり、図3において $V_1 = V_3$ 、すなわち $I = I_{REF}$ となるので、図2における電流駆動IC1~IC4内のオペアンプOP1__11の電源が高電位電源VDDであっても、図2のA点に適当な値の抵抗素子を直列に接続することで、オペアンプOP1__11が正常に動作し、電流駆動IC1~IC4内に電流 $I = I$

R E F を供給することができる。

【0072】

また、図2のB部に図4に示した電圧降下調整回路7を直列に接続することによって、高電位電源VDD端子に最も近い電流駆動IC4のB部のみに電圧降下を生じさせることが出来る。

【0073】

次に、第4の実施の形態を説明する。

【0074】

第4の実施の形態における電流駆動回路の構成は上述した図6と同じように、ボルテージフォロワ手段のオペアンプOP1__11からの出力電流I1～I8をそれぞれ負荷トランジスタ131～138に流す電流制限用抵抗素子R1～R8と、分圧抵抗素子Rrの低電位電源GND側の電圧V2を反転入力端子(－)に入力し、その電圧とオペアンプOP1__11の出力電圧V3を電流制限用抵抗素子R1～R8でそれぞれ降圧させた電圧V4との電位差を比較し、その比較結果の出力電圧に応じて電流I1～I8が負荷トランジスタ131～138を通過するのを制御してそれぞれ対応する電流源141～148に流すオペアンプOP2__12～OP9__19とを備える。

【0075】

上述した第3の実施の形態では、図2で説明した電流駆動IC1～IC4のように複数の電流駆動ICそれぞれに複数の電流源を設けたが、この第4の実施の形態では、この電流駆動回路9を、携帯電話の表示パネルなどのように小型表示パネル用の電流駆動ICに実装する場合についての形態である。

【0076】

つまり、小型の表示パネルを対象とする場合は、電流駆動ICと表示パネル間を接続するためのドライバデータ線が少ないため、搭載されるドライバ用の電流駆動ICは1チップが普通である。

【0077】

よって、本実施の形態では複数の電流駆動ICではなく、表示パネルに対して単体の電流駆動ICを搭載した場合でも、その電流駆動IC内に複数の電流源を

設けることができる。

【0078】

上述した第4の実施の形態の構成の変形例を示した図7を参照すると、この電流駆動IC8‘と図6の構成との相違点は、図6におけるNチャネル型MOSトランジスタ131～138と141～148との接続位置がそれぞれ互いに入れ替わったものであり、図7では、電流制限用抵抗素子R1～R8にはそれぞれ対応する負荷MOSトランジスタ151～158が直列接続され、負荷MOSトランジスタ151～158にはそれぞれ対応する負荷MOSトランジスタ161～168が直列接続されている。

【0079】

携帯電話等の小型表示パネルに対して単一の電流駆動ICを搭載する場合は、図7の構成でも定電流回路を構成することが出来る。

【0080】

すなわち、他の実施の形態のように、複数の電流駆動IC1～4を接続する場合は、端子101の電圧V3および端子102の電圧V4が電流駆動IC1～4でそれぞれ異なるため、図7のような構成を用いることは出来ない。

【0081】

例えば、上記の回路構成を高電位電源VDDに近い電流駆動IC4の配置にした場合、端子102の電圧 $V4 = VDD - 2V \sim VDD - 3V$ のため、上述した図7の構成を後述する図9の駆動部A‘およびB’と接続した場合は、図9の駆動部の端子OUTの電圧範囲が狭くなってしまう。

【0082】

つまり、カレントミラーの2段目のMOSトランジスタのゲート電圧が $V4 = VDD - 2V \sim VDD - 3V$ であるためである。

【0083】

従って、単一の電流駆動ICを搭載する場合でも、端子102の電圧V4を出来るだけ小さい電圧になるように設定しなければ端子OUTの電圧範囲が狭くなる。

【0084】

次に、第 5 の実施の形態を説明する。

【0085】

第 5 の実施の形態における電流駆動回路の構成を示した図 8 を参照すると、この電流駆動回路 9 は、上述した第 3 の実施の形態において説明した複数の定電流源における電流 $I_1 \sim I_8$ を用いた電流駆動装置 8 に適用する構成を示している。また、例えば図 6 の構成と図 8 の構成を組み合わせた電流駆動装置の構成を図 9 に示してある。図示しないが図 7 の構成と図 8 の構成を組み合わせてもよい。

【0086】

図 8 において、電流駆動回路 9 は、8 b i t 階調の電流駆動回路であり、図 8 に示す定電流 $I_1 \sim I_8$ は、前述した図 6 の複数の電流源によってつくられた電流 $I_1 \sim I_8$ が流れる。

【0087】

すなわち、電流駆動回路 9 は、電流出力端子 O U T と電流源 D 1 ~ D 2 5 5 との間の選択スイッチ S W 1 ~ S W 2 5 5 が並列接続されて構成する。

【0088】

この場合、図 9 の駆動部 A'、B' が図 8 の駆動部 A、B に相当する。ここで、図 8 に示す $I_1 \sim I_8$ は 8 b i t のバイナリーウェイトで重み付けした電流とは異なる。

【0089】

つまり、バイナリーウェイト電流では 8 b i t のとき、128、64、32、16、8、4、2、1 の比率の電流源が 8 本になる。これらをスイッチングで選択することによって 1 ~ 255 の電流値（1 L S B = 1 でフルスケールは 255 L S B）を得ることが出来る（図 14 における $n = 8$ に対応）。

【0090】

しかし、本発明の場合は、定電流源 $I_1 \sim I_8$ の電流値が 1 L S B 分（1 階調分）の電流値になり、しかも、定電流源 $I_1 \sim I_8$ までの電流値が異なるので、1 L S B も階調によって異なる。例えば、1 ~ 32 L S B までは 1 L S B = I_1 、33 ~ 64 L S B までは 1 L S B = I_2 、同様に、216 ~ 255 L S B までは 1 L S B = I_8 という具合である（図 8 参照）。

【 0 0 9 1 】

この $I_1 \sim I_8$ までの定電流源の電流値を調整することにより、後述するガンマ特性図に示すように、入力信号－駆動電流の関係を得ることが出来る。

【 0 0 9 2 】

図 8 の電流駆動回路において、OUT 端子から駆動される電流が単調増加する場合、左端から順に並んでいる $SW_1 \sim SW_{255}$ を順次 ON することで駆動電流は単調増加するため、駆動電流の単調増加性は保たれている。

【 0 0 9 3 】

電流駆動回路のスイッチ $SW_1 \sim SW_{255}$ の構成を示した図 10 を参照すると、スイッチ $SW_1 \sim SW_{255}$ は 8 b i t であるため、図 10 に示す回路構成となり、8 つの MOS スwitch のドレインとソースを各スイッチに応じた接続にすれば、駆動電流を単調増加させたとき、 SW_1 から SW_{255} まで一つずつ ON することになる。

【 0 0 9 4 】

この単調増加のとき、定電流 $I_1 \sim I_8$ の重み付けが異なるため入力信号－駆動電流の関係はガンマ特性のカーブを示す図 11 のように、折れ線グラフになる。

【 0 0 9 5 】

この折れ線グラフは図 8 の定電流 $I_1 \sim I_8$ の調整、つまり図 6 の $R_1 \sim R_8$ の調整によって CRT ガンマ特性である $\gamma = 2.2$ の曲線と近似することができる。

【 0 0 9 6 】

よって、図 8 の電流駆動回路において駆動電流のガンマ補正が可能であるため、ビット数を増やして輝度データの補正等の前処理を行う必要はなくなる。

【 0 0 9 7 】

また、図 10 の定電流源 $I_1 \sim I_8$ がカバーするデジタル信号のレンジを調整することで（図 10 では等間隔になっている）、より $\gamma = 2.2$ の曲線に近似することができる。

【 0 0 9 8 】

つまり、図 10 において、例えば、駆動電流が大きい I_8 の領域では $\gamma = 2.2$ 。

2 に似せているにも関わらず直線性が目立っている。そこで、216～255 LSB までは 1 LSB = I₈ となるところを、定電流源 I₈ でのレンジを狭くして 232～255 LSB にする等の調整をし、 $\gamma = 2.2$ に近づけることができる。逆に、定電流源の電流値が 1 LSB 分の電流値であることから、I₁ は 1～48 LSB までにレンジを広げることも当然できる。

【0099】

さらに、図6における抵抗素子 R₁～R₈ を調整することにより、図8の定電流源 I₁～I₈ を調整し、駆動電流値および折れ線グラフの γ 値を変更することもできる。

【0100】

次に、第6の実施の形態を説明する。

【0101】

第6の実施の形態における入力信号に対する駆動電流のパターンが RGB 3 種類ある場合の電流源の構成図を示した図12を参照すると、この電流駆動装置 21 は、駆動電流およびガンマ特性に応じて駆動電流量を選択するための第1の3原色対応スイッチ手段 SWB₂、SWG₂、SWR₂ および第2の3原色対応スイッチ手段 SWB₁、SWG₁、SWR₁ を有し、第2の3原色対応スイッチ手段 SWB₂、SWG₂、SWR₂ は、オペアンプ OP₁__11 の出力端とオペアンプ OP₂__12 の負荷 MOS トランジスタ 13 間に原色毎のスイッチおよび電流制限抵抗素子 R_B、R_G、R_R がそれぞれカスケード接続され、これら 3 原色毎のカスケード接続体が互いに並列状態に接続された構成を有する。

【0102】

前述した第5の実施の形態において、入力信号に対する駆動電流のパターンが複数ある場合で、例えば、表示パネルの RGB (赤、緑、青) 発光素子に対する駆動電流値および γ 特性が異なる場合に適した電流源として、この電流駆動装置 11 は、図6に示した電流 I₁～I₈ の電流源のうちの1つを示したものである。

【0103】

この電流駆動装置 21 は、表示パネルの R (赤) の発光素子に対して電流駆動

を行うときは、SWR1、SWR2のみをオンして、電流源の抵抗素子RRにIRを流す。

【0104】

表示パネルのG（緑）の発光素子に対して電流駆動を行うときは、SWG1、SWG2のみをオンして、電流源の抵抗素子RGにIGを流す。

【0105】

表示パネルのB（青）の発光素子に対して電流駆動を行うときは、SWB1、SWB2のみをオンして、電流源の抵抗素子RBにIBを流す。

【0106】

上述したように、電流駆動装置21の回路構成によるスイッチの切り替えによって、RGBに応じた入力信号に対する駆動電流のパターンをつくりだすことができる。

【0107】

このとき、前述した第5の実施の形態との回路構成の違いは、図12のスイッチ6つと抵抗素子RR、RG、RBのみで、図8で示した電流駆動回路9は全く同じである。よって、回路構成およびチップ面積の若干の変更だけでRGBそれぞれに対応した電流駆動を行う電流駆動ICをつくることができる。

【0108】

【発明の効果】

上述したように、本発明の表示パネルの電流駆動装置および電流駆動方法は、1つの外付け基準電流源と、その外付け基準電流源に流す基準電流による電圧降下を生じさせて表示装置上における表示素子の発光輝度を均一化するために電流駆動装置内の2端子間に設ける分圧抵抗素子とを有し、複数の電流駆動装置内それぞれの分圧抵抗素子と1つの外付け基準電流源とがカスケード接続となるように構成した。従って、電流駆動装置から高精度な駆動電流を表示パネルへ出力することができ、かつ駆動電流にガンマ補正をかけることができるので、表示パネルの電流駆動装置の市場における製品差別化に寄与する。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態における電流駆動 IC と表示パネルとの関係を示した図である。

【図2】

本発明の第1の実施の形態における電流駆動 IC の構成図である。

【図3】

本発明の第1の実施の形態における電流駆動 IC 内の電流源の構成図である。

【図4】

本発明の第2の実施の形態における電圧降下調整回路図である。

【図5】

電圧降下調整回路の電圧特性図である。

【図6】

本発明の第3の実施の形態における電流駆動 IC 内の複数の電流源である。

【図7】

本発明の第4の実施の形態の変形例における電流駆動回路の構成図である。

【図8】

本発明の第5の実施の形態における電流駆動回路の構成図である。

【図9】

本発明の第5の実施の形態における電流源と電流駆動回路を組み合わせた構成図である。

【図10】

電流駆動回路のスイッチの構成図である。

【図11】

入力信号に対する駆動電流の関係のガンマ特性のカーブを示す図である。

【図12】

本発明の第6の実施の形態における入力信号に対する駆動電流のパターンが RGB 3種類ある場合の電流源の構成図である。

【図13】

従来の複数の電流駆動 IC を繋ぐ回路の構成図である。

【図14】

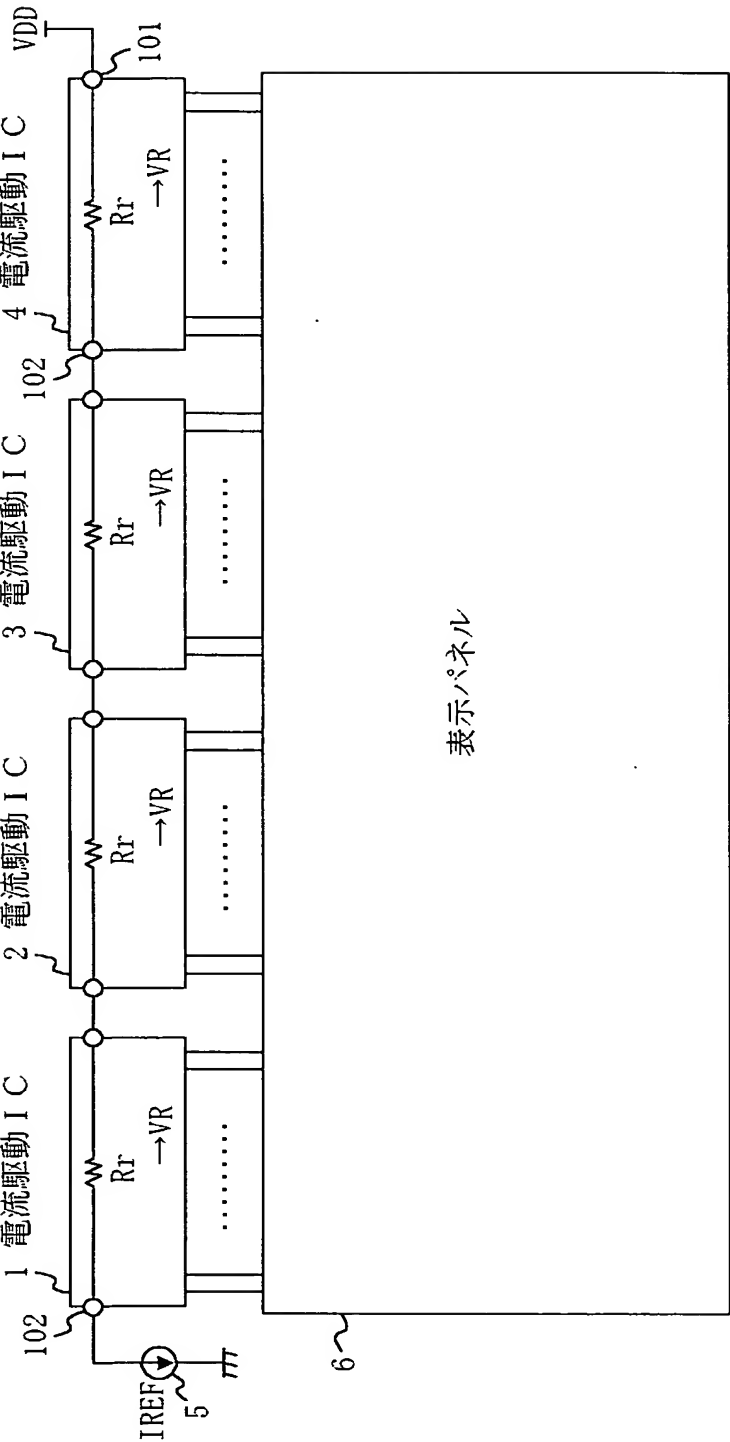
一般的な電流駆動回路の構成図である。

【符号の説明】

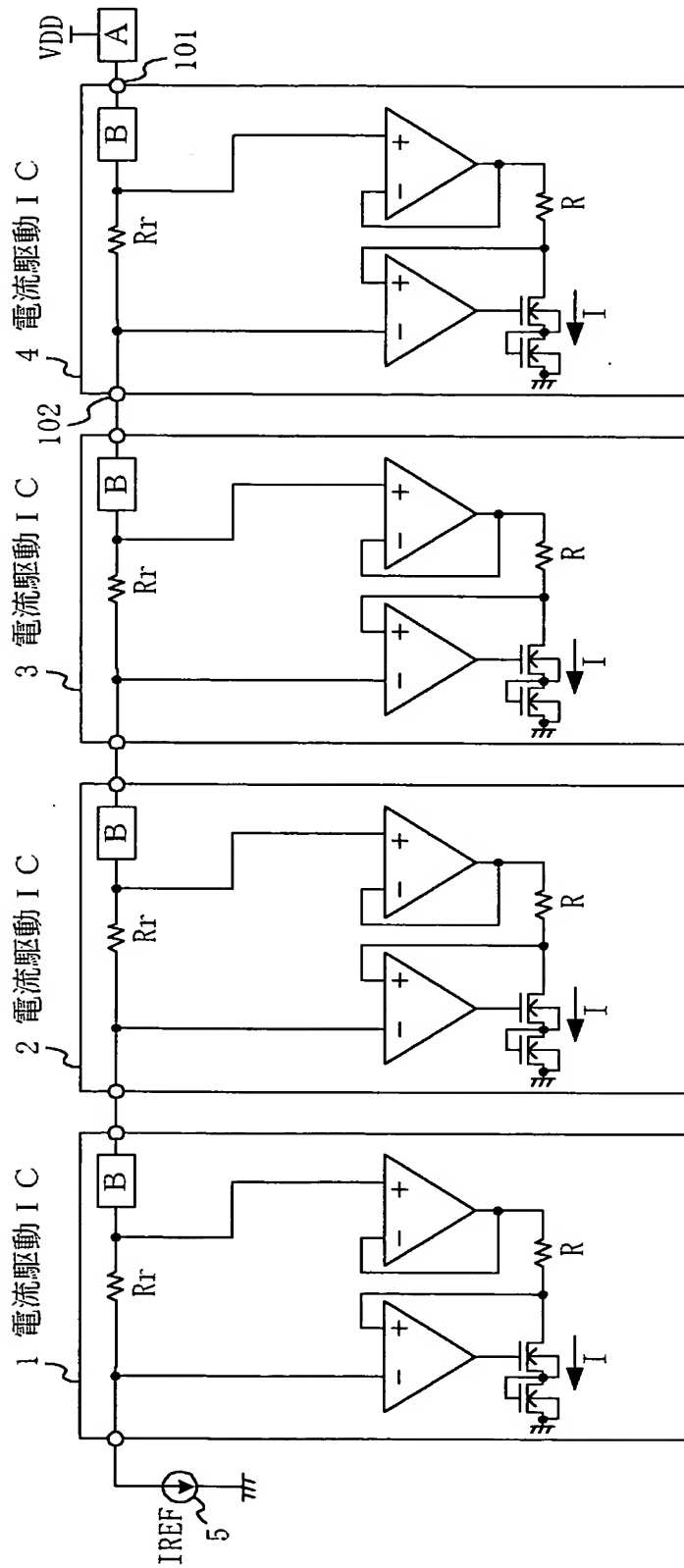
1～4, 8, 10, 21 電流駆動 IC
5 IREF
IREF 基準電流
6 表示パネル
7 電圧降下調整回路
9 電流駆動回路
OP1__11, OP2__12 オペアンプ
13, 131～138, 161～168 負荷トランジスタ
14, 141～148 電流源
22 電流出力部
23 シンク電流調節部
71, 74 Pチャネル型MOSトランジスタ
75 Nチャネル型MOSトランジスタ
101, 102 端子
I 出力電流
Rr 分圧抵抗素子
R1, R2～R8, RB, RG, RR 電流制限抵抗素子
SWB1, SWG1, SWR1 第1の3原色対応スイッチ手段
SWB2, SWG2, SWR2 第2の3原色対応スイッチ手段
VDD 高電位電源
GND 低電位電源

【書類名】 図面

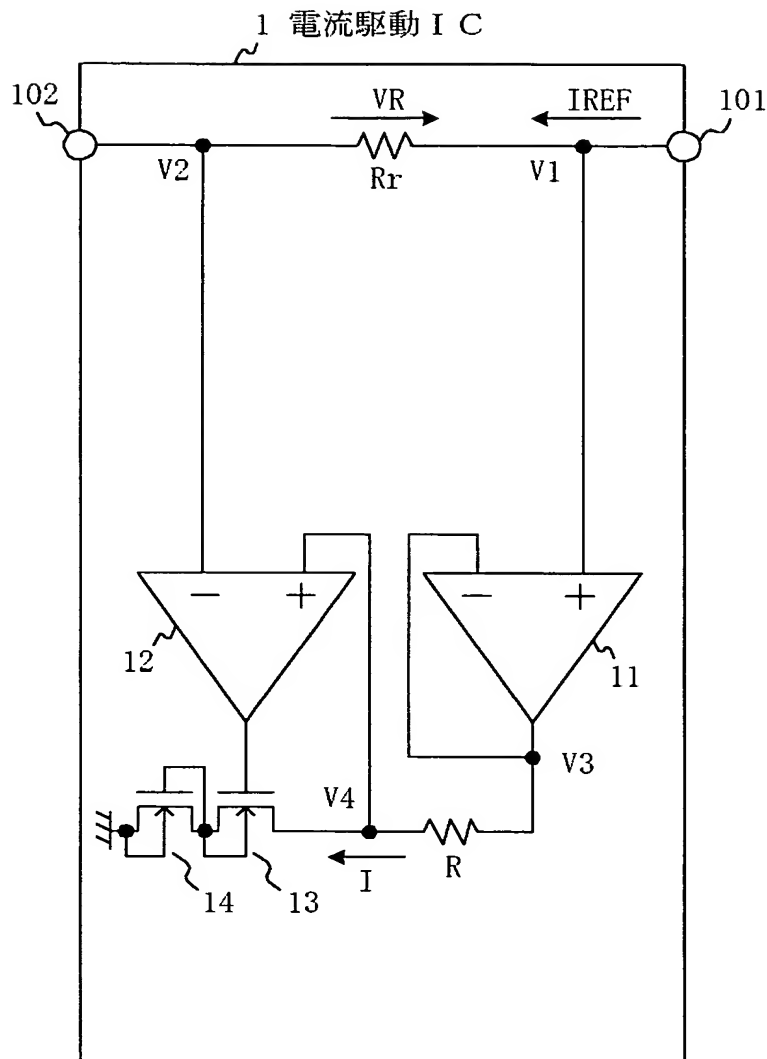
【図 1】



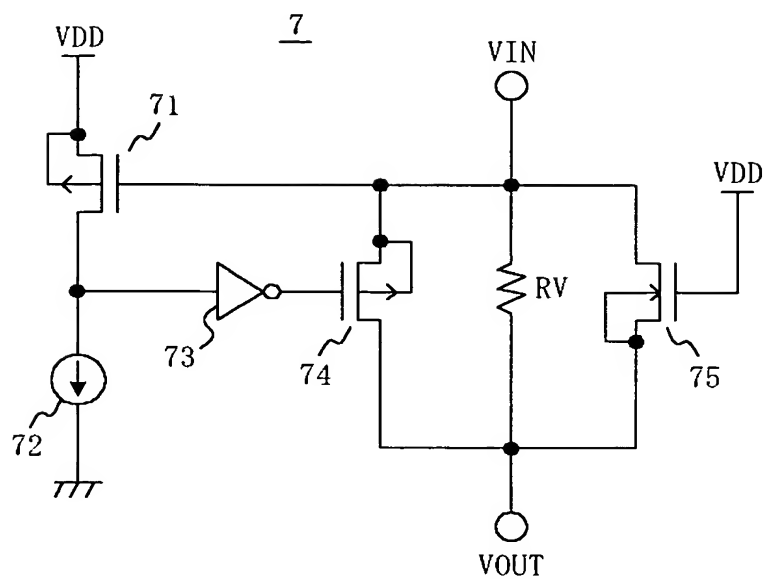
【図 2】



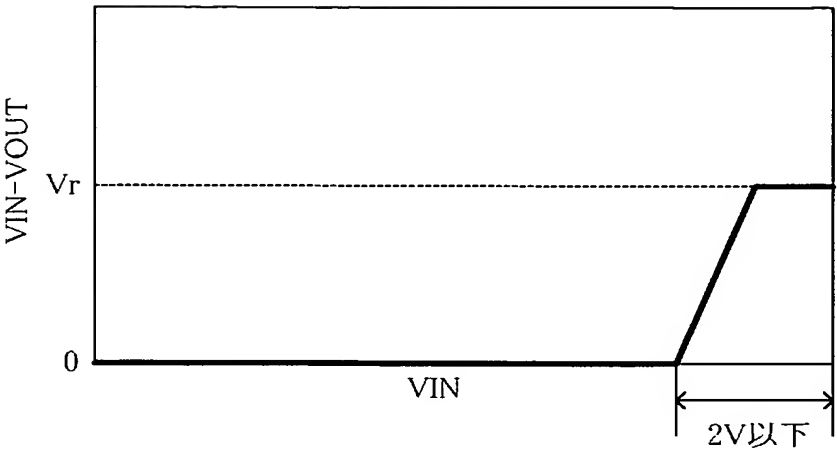
【図 3】



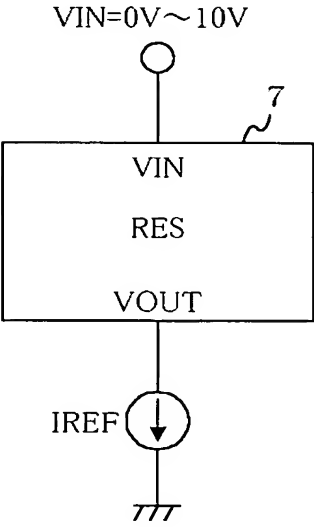
【図 4】



【図 5】

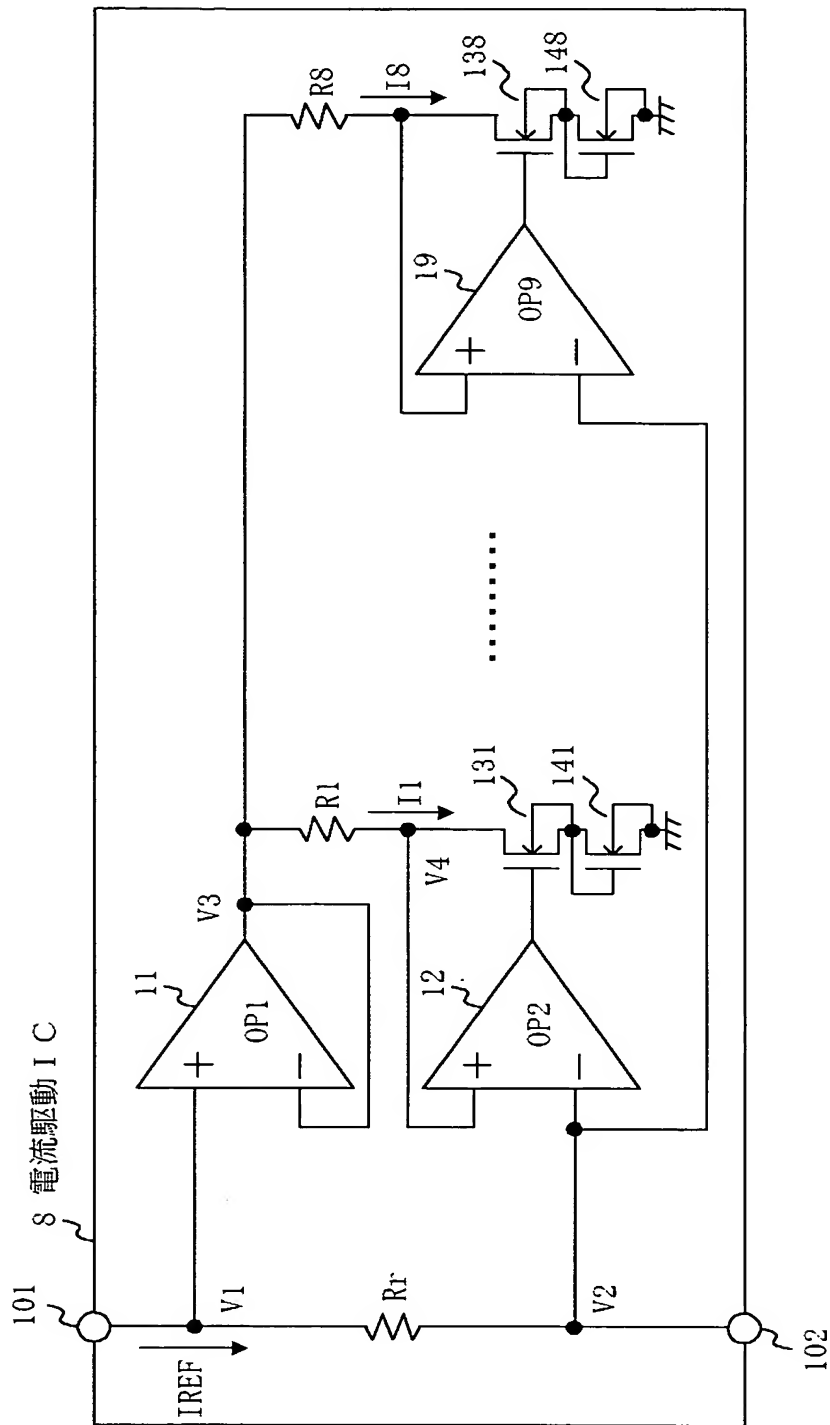


(a)

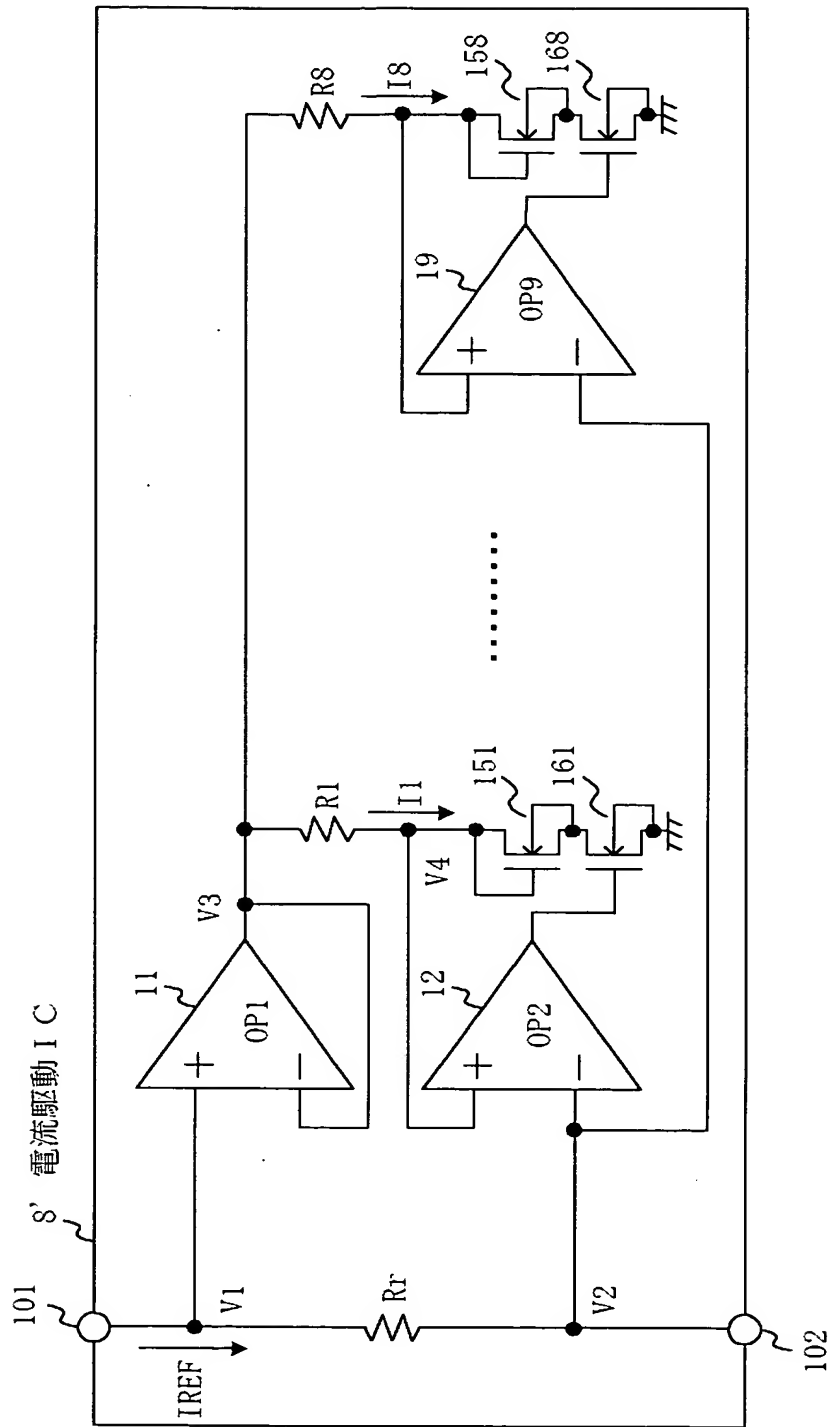


(b)

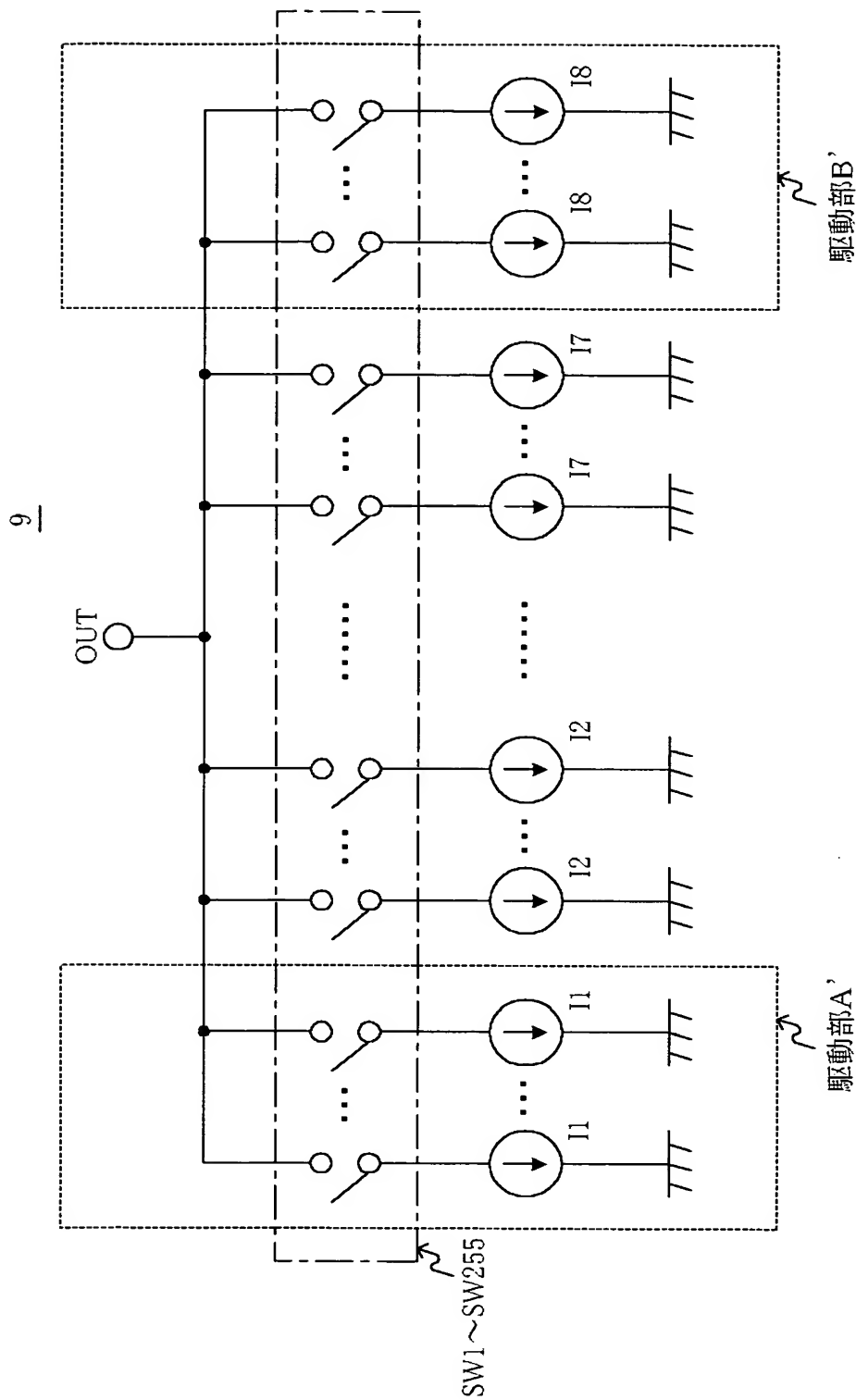
【図 6】



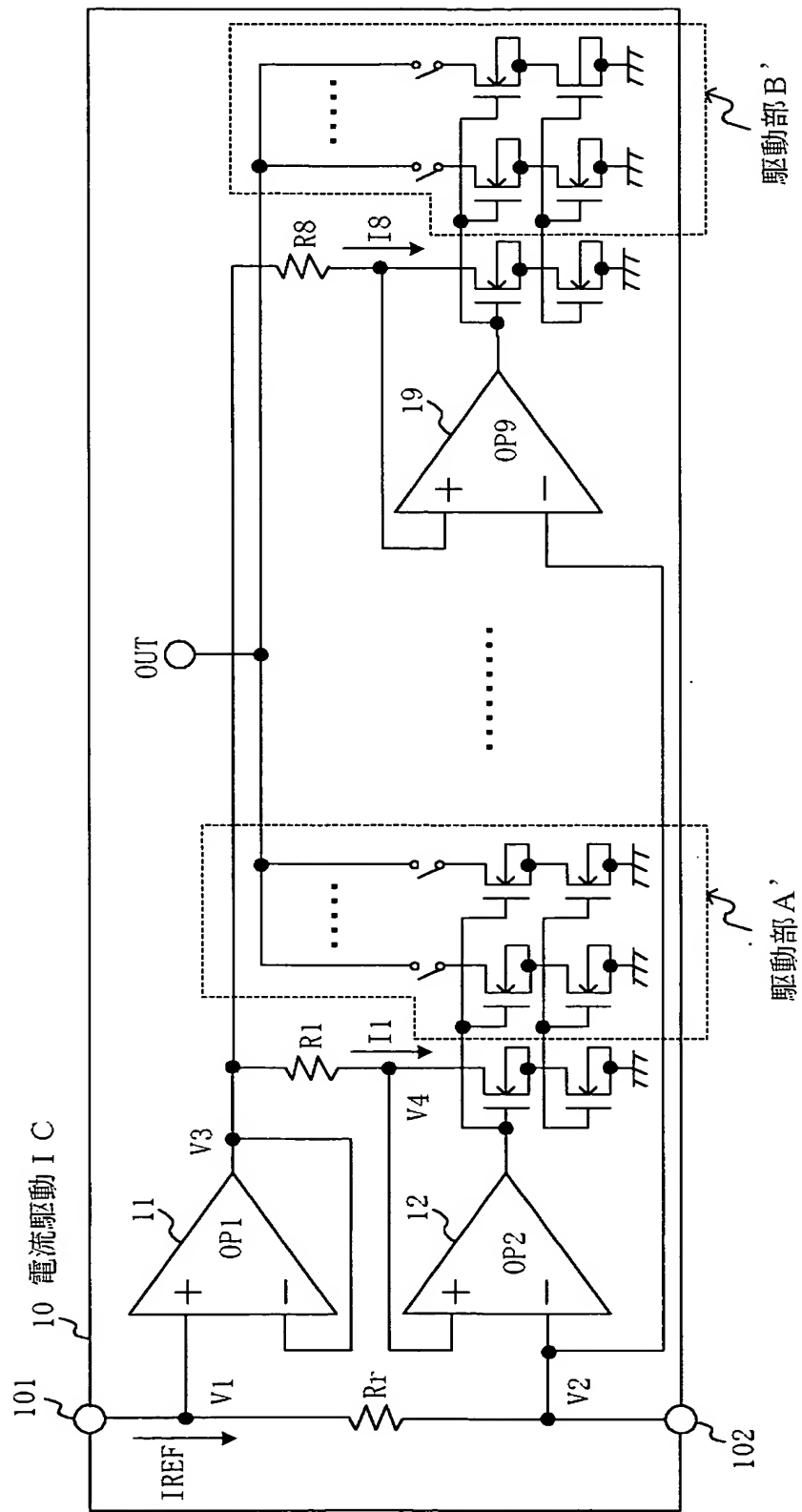
【図 7】



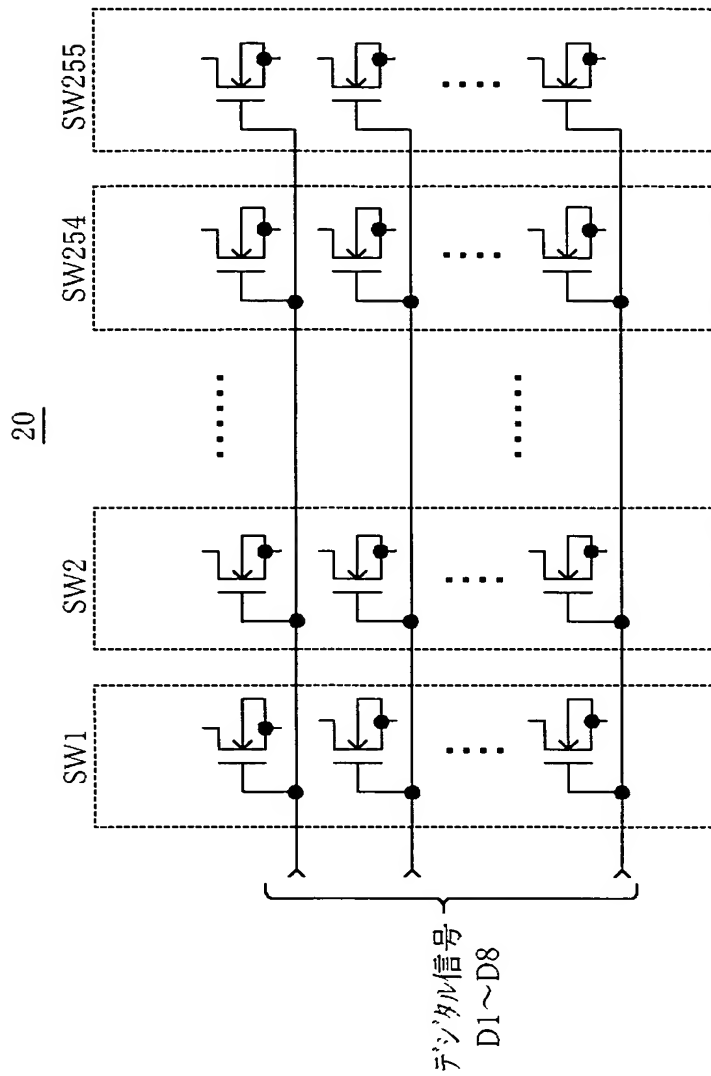
【図 8】



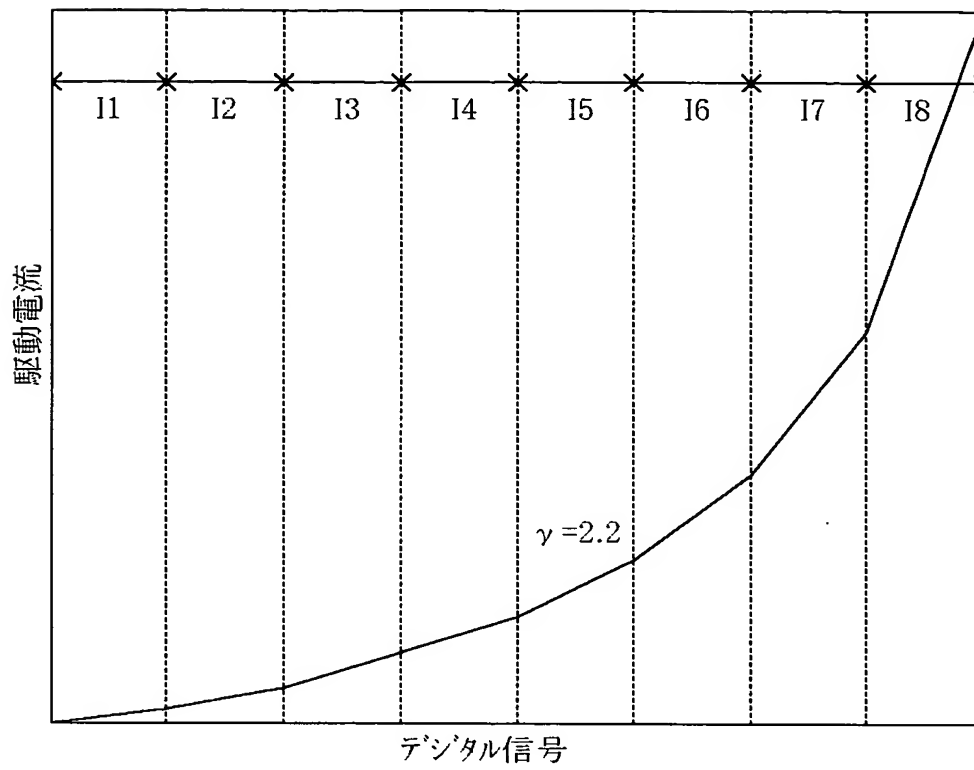
【図 9】



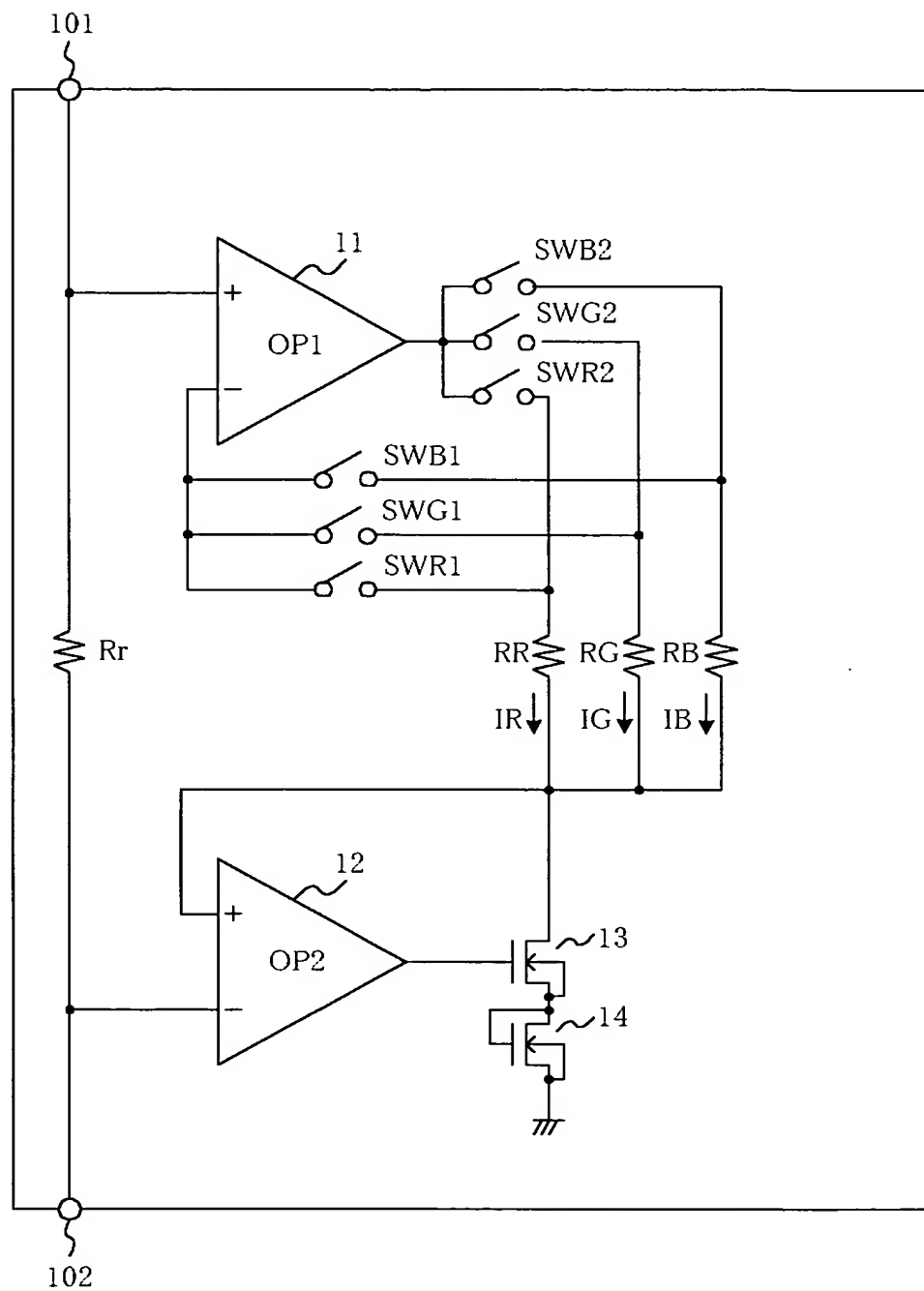
【図 10】



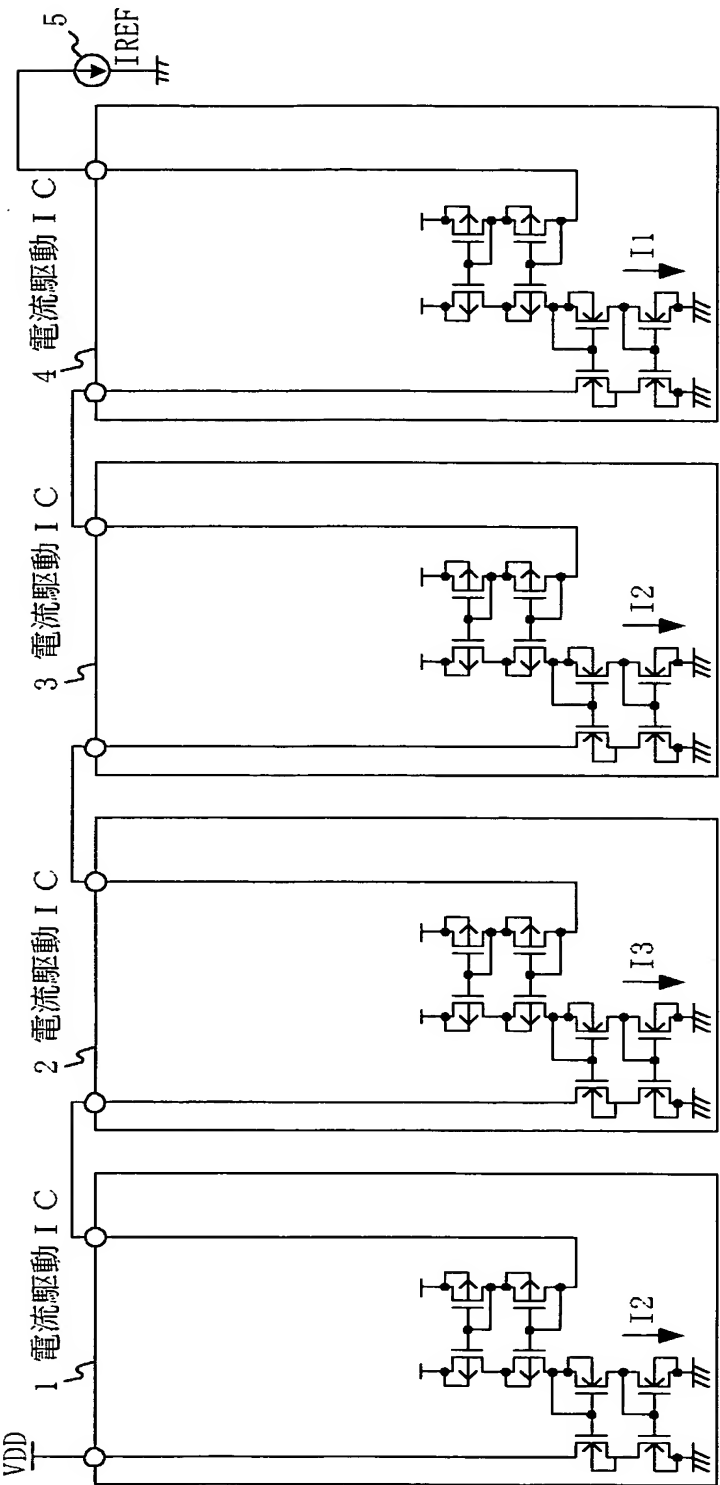
【図 11】



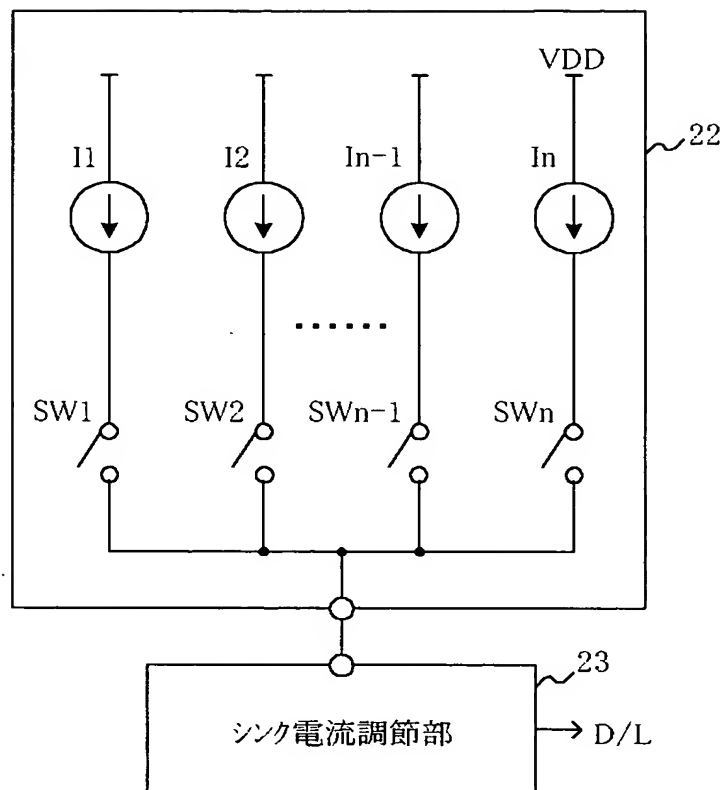
【図 12】



【図 13】



【図 14】



【書類名】 要約書

【要約】

【課題】 電流駆動 IC から高精度な駆動電流を表示パネルへ出力することが出来、かつ駆動電流に γ 補正をかけることが出来る電流駆動装置を提供する。

【解決手段】 1つの外付け基準電流源 5 と、その外付け基準電流源 5 に流す基準電流 I_{REF} による電圧降下 V_R を生じさせて表示装置上における表示素子の発光輝度を均一化するために、電流駆動装置 IC 1 ~ IC 4 内の 2 端子間 101、102 に設ける抵抗素子 R_r とを有し、複数の電流駆動装置 IC 1 ~ IC 4 内それぞれの抵抗素子 R_r と 1つの外付け基準電流源 5 とがカスケード接続となるように構成した。

【選択図】 図 1



認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 3 0 0 9 1
受付番号	5 0 3 0 0 1 9 4 6 6 4
書類名	特許願
担当官	第一担当上席 0 0 9 0
作成日	平成 1 5 年 2 月 7 日

< 認定情報・付加情報 >

【提出日】 平成15年 2月 6日

次頁無

特願 2 0 0 3 - 0 3 0 0 9 1

出 願 人 履 歴 情 報

識別番号

[3 0 2 0 6 2 9 3 1]

1. 変更年月日

2 0 0 2 年 1 1 月 1 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区下沼部 1 7 5 3 番地

氏 名

N E C エレクトロニクス株式会社